



DESIGN OF A LOW-POWER, HIGH-NOISE REJECTION OP-AMP USING GSDK045 TECHNOLOGY

Tran Quoc Thinh, Duong Anh Tu, Pham Thanh Huyen*

University of Transport and Communications, No 3 Cau Giay Street, Hanoi, Vietnam

ARTICLE INFO

TYPE: Research Article

Received: 01/01/2025

Revised: 22/01/2025

Accepted: 10/02/2025

Published online: 15/02/2025

<https://doi.org/10.47869/tcsj.76.2.6>

* *Corresponding author*

Email: huyenktdt@utc.edu.vn

Abstract. The design of low-power amplification integrated circuits (ICs) is significant research in electronic engineering, particularly for wearable devices, data acquisition systems, and continuous energy harvesting applications. In the IC design process, a set of files used in the semiconductor industry to model the fabrication process and support IC design tools is known as the process design kit (PDK). It can be said that PDKs play a crucial role in the design process; recently, PDKs have been developed by many companies and have evolved from dimensions of several hundred nanometers to just a few nanometers. Among these, gsdk045 is widely used in both academic and industrial research. Therefore, we utilize this 45 nm technology to design a low-power, high-noise rejection operational amplifier. Simulation results indicate that the total power consumption of the circuit is 0.84 mW, with a common-mode rejection ratio (CMRR) of 56.4 dB and a power supply rejection ratio (PSRR) of 126.4 dB at low frequencies below 1 kHz. These results suggest that the proposed Op-amp can be used to create active sensors for energy harvesting from footsteps or heart rate monitoring.

Keywords: Integrated circuit design, Op-amp, gsdk045, low-power IC.



THIẾT KẾ IC KHUẾCH ĐẠI THUẬT TOÁN CÔNG SUẤT THẤP, ĐỘ ỔN ĐỊNH NHIỀU CAO SỬ DỤNG CÔNG NGHỆ GPDK045

Trần Quốc Thịnh, Dương Anh Tú, Phạm Thanh Huyền*

Trường Đại học Giao thông vận tải, Số 3 Cầu Giấy, Hà Nội, Việt Nam

THÔNG TIN BÀI BÁO

CHUYÊN MỤC: Công trình khoa học

Ngày nhận bài: 01/01/2025

Ngày nhận bài sửa: 22/01/2025

Ngày chấp nhận đăng: 10/02/2025

Ngày xuất bản Online: 15/02/2025

<https://doi.org/10.47869/tcsj.76.2.6>

* Tác giả liên hệ

Email: huyenktdt@utc.edu.vn

Tóm tắt. Thiết kế mạch tích hợp (IC) khuếch đại công suất thấp là một hướng nghiên cứu quan trọng trong kỹ thuật điện tử, đặc biệt là cho các thiết bị đeo, hệ thống thu thập dữ liệu và các ứng dụng thu thập năng lượng liên tục. Trong quá trình thiết kế vi mạch, một tập hợp các tệp được sử dụng trong ngành công nghiệp bán dẫn để mô hình hóa quy trình chế tạo, hỗ trợ các công cụ thiết kế IC, được gọi là bộ công cụ thiết kế quy trình (PDK). Có thể nói, PDK đóng vai trò quan trọng bậc nhất trong quá trình thiết kế; tới nay, PDK được phát triển bởi nhiều công ty và cải tiến từ kích thước vài trăm nanomet đến vài nanomet. Trong số đó, gpdk045 được sử dụng rộng rãi trong các nghiên cứu học thuật và công nghiệp. Chính vì vậy, chúng tôi sử dụng công nghệ 45 nm này để thiết kế vi mạch khuếch đại thuật toán công suất thấp, độ ổn định nhiều cao. Kết quả mô phỏng cho thấy công suất tiêu thụ toàn mạch là 0,84 mW, hệ số nén đồng pha CMRR đạt 56,4 dB và hệ số loại trừ nhiễu nguồn PSRR đạt 126,4 dB ở tần số thấp dưới 1 kHz. Những kết quả này cho thấy Op-amp được đề xuất trong nghiên cứu này có thể được sử dụng để tạo ra các cảm biến tích cực cho việc thu thập năng lượng từ bước chân hoặc đo nhịp tim.

Từ khóa: thiết kế vi mạch, Op-amp, gpdk045, IC công suất thấp.

@ 2025 Trường Đại học Giao thông vận tải

1. ĐẶT VẤN ĐỀ

Thế giới đang nhanh chóng hướng tới thời đại kỹ thuật số hoàn chỉnh với sự gia tăng số lượng thiết bị thông minh và công nghệ tiên tiến như Internet kết nối vạn vật IoT (Internet of things). IoT là sự kết nối của hàng triệu các thiết bị độc lập với nhau thông qua mạng Internet.

Các thiết bị này thu thập dữ liệu về các thông số và quá trình vật lý, sau đó đưa dữ liệu tới máy chủ. Thị trường thiết bị IoT thực sự bùng nổ khi các ứng dụng của chúng gia tăng mạnh mẽ trên tất cả các lĩnh vực như cơ sở hạ tầng, tiện ích gia đình, y tế cá nhân ... Một trong những vấn đề rất quan trọng trong hệ thống IoT chính là việc cần được cấp nguồn chất lượng tốt, ổn định và hiệu suất cao [1,2]. Trong khi đó, các thiết bị kỹ thuật số hiện đại như điện thoại thông minh, bóng đèn thông minh, bộ điều nhiệt thông minh, cảm biến thông minh ... cũng có những thay đổi đáng kể trong vài năm qua. Tuy nhiên, hầu hết các thiết bị thông minh đều cần nguồn một chiều DC (Direct Current) điện áp thấp để hoạt động nhằm đảm bảo mức tiêu thụ năng lượng thấp trong kích thước nhỏ gọn. Chính vì vậy, mạch tích hợp IC (Integrated Circuit) công suất thấp là một phần quan trọng của thiết bị điện tử hiện đại vì nó cho phép tuổi thọ pin dài hơn do mức tiêu thụ năng lượng thấp hơn. Điều này có nghĩa là nhu cầu sử dụng các thiết bị chạy bằng pin ngày càng tăng khiến các nhà thiết kế chip cần sử dụng các kỹ thuật khác nhau để giảm mức tiêu thụ năng lượng của IC. Đó là có thể là giảm mức tiêu thụ năng lượng tĩnh và động của IC; hoặc chỉ cấp nguồn cho các linh kiện liên quan thay vì cấp nguồn toàn mạch [3-6].

Ở khía cạnh khác, bộ khuếch đại thuật toán Op-amp (Operational Amplifier) là mạch tích hợp đa năng được sử dụng rộng rãi trong nhiều ứng dụng khác nhau, bao gồm khuếch đại tín hiệu nhỏ, lọc tần số, tạo dao động, các phép toán số học, và chuyển đổi tương tự-số; chuyển đổi số-tương tự. Những năm gần đây, các kiến trúc Op-Amp mới đã xuất hiện [7-10] nhằm nâng cao chức năng của chúng cho các lĩnh vực cụ thể. Một lĩnh vực như vậy là thu thập năng lượng, lúc này Op-Amp đóng vai trò quan trọng vì là khối xây dựng cơ bản. Trong các mạch điện tử thu thập năng lượng bước chân, Op-Amp cần phải đáp ứng các đặc điểm riêng biệt của tín hiệu đầu vào là tín hiệu sau bộ chuyển đổi (thường là cảm biến áp điện [1,2,10]) có cực tính thay đổi dương/âm liên tục; tần số và biên độ biên đổi; tín hiệu chính có ý nghĩa không nổi trội so với tín hiệu nhiễu nền [2,11]. Chính vì vậy, trong ứng dụng này Op-Amp được yêu cầu độ khuếch đại cao (vì các tín hiệu đầu vào vốn rất yếu), khả năng chống nhiễu cao (để đảm bảo thu nhận tín hiệu chính xác và xử lý tiếp theo), và tiêu thụ năng lượng thấp. Op-Amp có đặc tính này cũng có thể được sử dụng rộng rãi trong các nền tảng khác như lĩnh vực y tế với máy theo dõi nhịp tim (ECG), nơi Op-Amp thường được sử dụng để thu nhận tín hiệu ECG do tim tạo ra để cho phép giám sát và chẩn đoán chính xác tình trạng hoạt động của tim. Tóm lại, những nghiên cứu về Op-Amp nhằm thúc đẩy sự đổi mới linh hoạt trong thiết kế và chế tạo mạch điện tử cho các thiết bị yêu cầu công suất thấp như thu thập năng lượng và chăm sóc sức khỏe là rất cần thiết.

Bên cạnh đó, việc thiết kế vi mạch luôn cần đến các công cụ mô phỏng để giảm thiểu thời gian thiết kế và dự kiến được kết quả nhằm tiến tới thiết kế được mạch theo yêu cầu đặt trước. Hiện tại có rất nhiều các phần mềm cho phép thiết kế, mô phỏng mạch tích hợp; tuy nhiên, có ba bộ phần mềm mạnh nhất được giới học thuật và công nghiệp ưu dùng là Cadence [12], Synopsys [13] và Siemens [14]. Trong đó, Synopsys là bộ công cụ mạnh cho phần vi mạch số; Siemens (trước đây là Mentor Graphics) có chi phí bản quyền thấp hơn, ứng dụng trí tuệ nhân tạo nhiều hơn thường được dùng cho mạch quy mô nhỏ, còn Cadence là bộ công cụ đầy đủ cho phần vi mạch tương tự và hỗn hợp với các công đoạn từ tạo sơ đồ mạch, mô phỏng, layout đến tối ưu hoá và quan trọng nhất là nhận được sự tin cậy hoàn toàn khi gửi đi sản xuất. Vì lý do đó, chúng tôi lựa chọn sử dụng Cadence Virtuoso, bộ công cụ chuyên dành cho thiết kế vi mạch tương tự trong nghiên cứu này.

Trong phần tiếp theo chúng tôi trình bày kết quả nghiên cứu thiết kế mạch khuếch đại thuật toán công suất thấp, độ ổn định nhiễu cao sử dụng gpdk045, một bộ công cụ quy trình

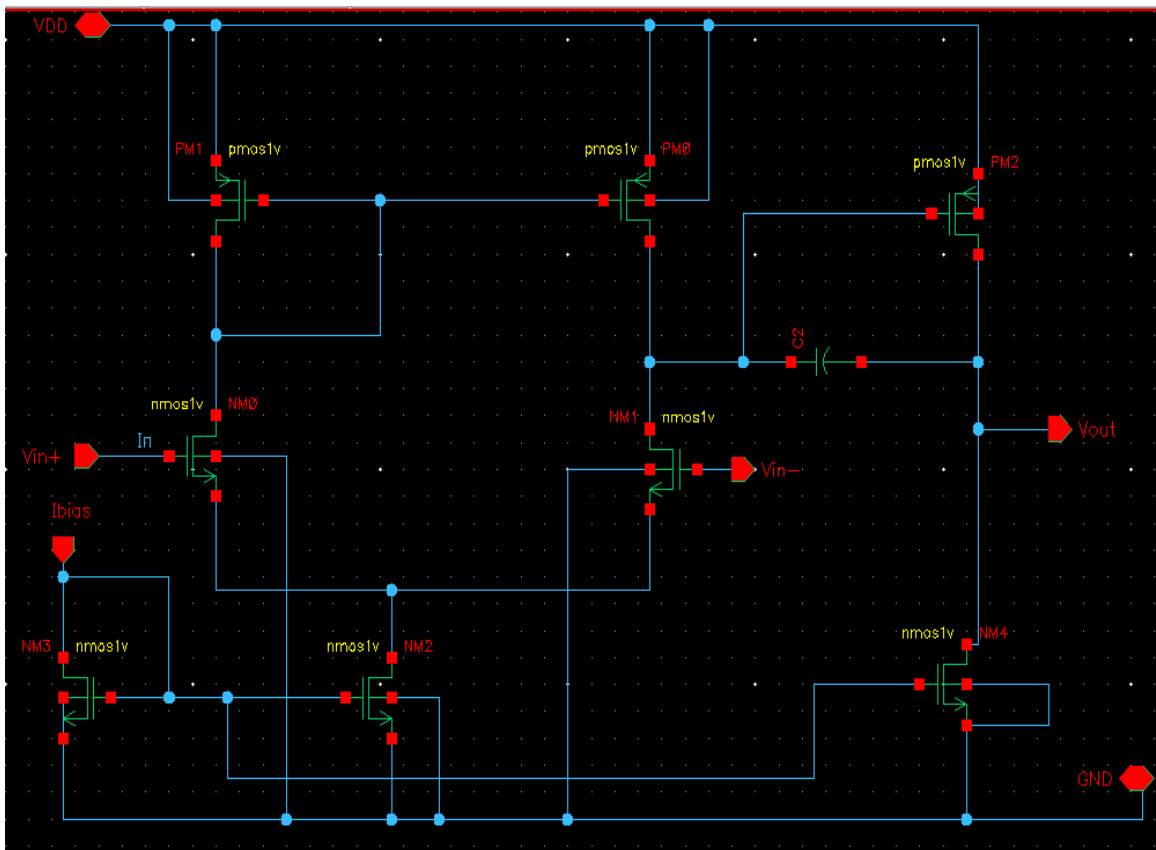
thiết kế PDK (Process Design Kit) miễn phí cho người dùng do Cadence Design Systems phát triển [12], ứng dụng cho việc thu thập năng lượng bước chân.

2. THIẾT KẾ VI MẠCH KHUẾCH ĐẠI THUẬT TOÁN CÔNG SUẤT THẤP

2.1. Sơ đồ mạch

Bộ Op-amp là một trong những mạch cơ sở linh hoạt và quan trọng bậc nhất trong thiết kế mạch tương tự. Các bộ khuếch đại này có hệ số khuếch đại lớn và sử dụng hồi tiếp âm giúp hàm truyền vòng kín hầu như không phụ thuộc vào hệ số khuếch đại vòng hở. Các Op-amp thường được cấu trúc nhiều tầng khi cần độ khuếch đại cao hơn. Tuy nhiên, với yêu cầu công suất thấp cho các thiết bị IoT hay thiết bị đeo trong y tế thì Op-amp được sử dụng phổ biến nhất là Op-amp hai tầng. Một phần lớn độ khuếch đại tổng thể được cung cấp bởi tầng đầu vào vi sai, giúp cải thiện hiệu suất nhiễu và độ lệch. Các mạch phân cực đảm bảo thiết lập điểm hoạt động thích hợp cho mỗi transistor trong trạng thái tĩnh của nó, cụ thể là trong mạch này tất cả các transistor đều hoạt động trong vùng bão hòa. Thêm nữa, để đạt được hiệu suất vòng kín ổn định cần thêm điện dung Miller bằng cách thêm tụ [3,15].

Hình 1 thể hiện cấu trúc của Op-amp mà chúng tôi thực hiện trong nghiên cứu này. Cấu trúc này bao gồm hai tầng với tầng đầu có NM0, NM1, PM0, PM1 tạo thành mạch khuếch đại vi sai, cặp NM2 và NM3 tạo thành mạch gương dòng để xác định dòng tĩnh cân bằng cho mạch vi sai. Đầu ra là tầng khuếch đại đệm gồm PM2 và NM4. Tụ điện C2 làm nhiệm vụ hồi tiếp từ đầu ra Vout để bù điện dung Miller.

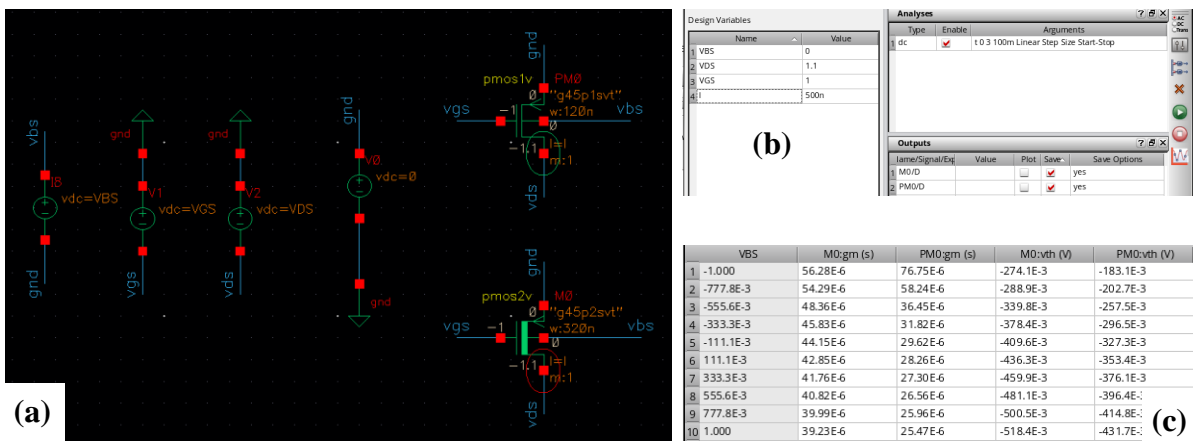


Hình 1. Sơ đồ mạch Op-amp hai tầng thông dụng.

2.2. Lựa chọn công cụ thiết kế và công nghệ

Việc thiết kế và mô phỏng vi mạch tích hợp tương tự hiện nay thường được trợ giúp bởi Cadence Virtuoso như đã phân tích ở trên vì là bộ công cụ chuyên nghiệp bản quyền dùng cho công nghiệp với độ chính xác rất cao và thông số có thể đánh giá đa dạng. Tuy nhiên, cũng có thể dùng Ltspice [16] hay Qspice [17] là các phần mềm mã nguồn mở miễn phí rất dễ sử dụng nhưng tính tương đồng với quá trình sản xuất còn hạn chế. Trong nghiên cứu này, chúng tôi thực hiện thiết kế sơ bộ và mô phỏng cơ bản trên Qspice để tiết kiệm thời gian. Sau khi có kết quả như mong đợi chúng tôi thực hiện mô phỏng chi tiết bằng Cadence Virtuoso để đảm bảo độ tin cậy.

Giải pháp giảm thiểu công suất của chúng tôi đề xuất trong nghiên cứu này là sử dụng transistor kích thước nhỏ trên nền tảng công nghệ 45 nm là gpdk045. Hơn nữa, để tăng độ chính xác cho các tính toán thiết kế lý thuyết mà cần thông số vật lý của thư viện sử dụng, chúng tôi đã khảo sát từng loại transistor một cách chi tiết. Hình 2(a) là một ví dụ về sơ đồ mạch khảo sát đồng thời hai loại transistor là pmos1v và pmos2v. Khi này chúng tôi cài đặt chế độ phân tích như hình 2(b) và trích xuất được những thông số quan trọng sử dụng trong tính toán lý thuyết như điện áp ngưỡng, độ hỗ dẫn hay độ linh động, điện dung giữa các cực ... như minh họa trong hình 2(c).

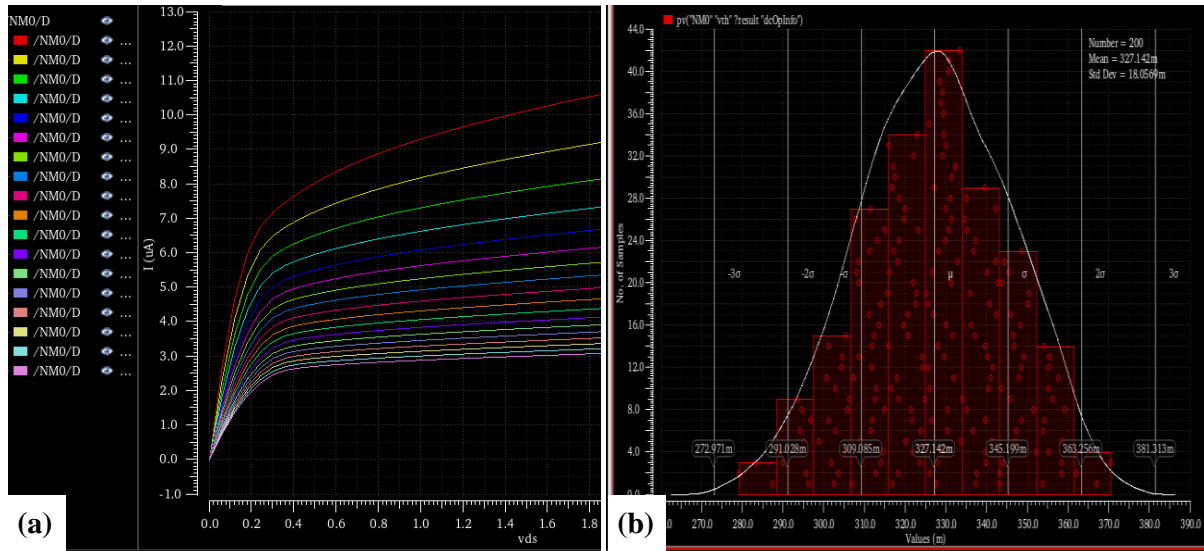


Hình 2. Một sơ đồ mạch khảo sát thông số cho pmos1v và pmos2v (a); bảng khai báo biến, chế độ mô phỏng và các đầu ra (b) và bảng số liệu xuất ra (c). Giá trị trong hình là dữ liệu trích xuất từ phần mềm, để đảm bảo tính chân thực của dữ liệu, chúng tôi không sửa nội dung này theo kiểu tiếng Việt.

Bên cạnh việc xác định các thông số tại các giá trị biến cài đặt, Cadence Virtuoso còn có các chế độ mô phỏng với nhiều các tham số chạy khác như một ví dụ trong hình 3(a) và đánh giá kết quả tính toán với các điều kiện ngẫu nhiên khác nhau của quá trình sản xuất thông qua chế độ mô phỏng MonteCarlo như ví dụ trong hình 3(b). Các kết quả mô phỏng trong hình 3 là căn cứ để lựa chọn giá trị tối ưu hay đánh giá kết quả đạt được có thỏa mãn yêu cầu hay không.

Sau khi có các bảng thông số trích xuất từ phần mềm mô phỏng, chúng tôi lựa chọn loại transistor nmos2v và pmos2v cho thiết kế 1; nmos1v và pmos1v cho thiết kế 2. Giới hạn chiều dài, chiều rộng kênh dẫn của loại mos2v lần lượt là từ 150 nm đến 10 μm và 320 nm đến 10 μm, điện áp nguồn cấp lớn nhất là 1,8 V; với loại mos1v thì các giá trị tương ứng là 45 nm đến 10 μm và 120 nm đến 10 μm, điện áp nguồn lớn nhất là 1,1 V [12]. Lý do chọn các loại transistor này là chúng có kích thước nhỏ, sử dụng nguồn điện áp thấp và quan trọng nhất là

các đường đặc tuyến trong đồng với lý thuyết tính toán cơ bản nên nếu sử dụng chúng sẽ giảm thiểu công suất tiêu thụ và tăng độ chính xác cho thiết kế hơn các loại transistor khác.



Hình 3. Kết quả mô phỏng sự phụ thuộc của dòng cực máng I_D vào điện áp V_{DS} với các giá trị chiều dài kênh dẫn khác nhau (a). Đánh giá độ chính xác của điện áp ngưỡng theo những thay đổi vật lý ngẫu nhiên của quá trình sản xuất thông qua chế độ mô phỏng MonteCarlo (b). Giá trị trong hình là dữ liệu trích xuất từ phần mềm, để đảm bảo tính chân thực của dữ liệu, chúng tôi không sửa nội dung này theo kiểu tiếng Việt.

2.3. Lựa chọn kích thước của transistor

Vì cấu hình của mạch Op-amp chúng tôi lựa chọn là mạch đơn giản, sử dụng ít transistor cho mục tiêu giảm công suất nên việc tính toán sơ bộ kích thước của transistor được thực hiện như được mô tả trong nhiều tài liệu [3,9].

Sử dụng phần mềm mô phỏng với bảng kích thước tính bằng lý thuyết thì kết quả có sự sai lệch so với giá trị kỳ vọng. Vì vậy, chúng tôi đã thực hiện việc đặt tham số để điều chỉnh giá trị và chúng tôi đã có bảng 1 thể hiện kích thước của các transistor chính trong sơ đồ mạch ở hình 1.

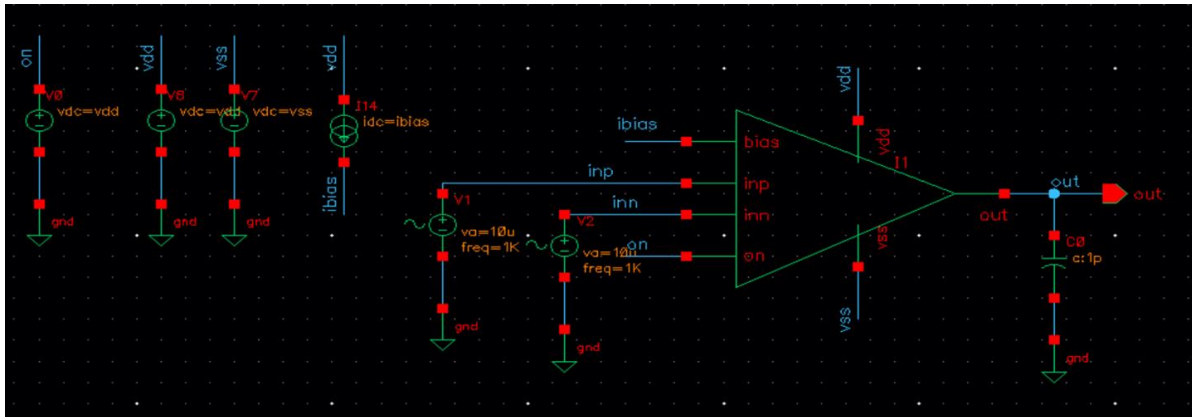
Bảng 1. Kích thước của các phần tử chính trong sơ đồ mạch ở hình 1.

Ký hiệu MOSFET	Tỉ số (W/L)	Giá trị chọn
NM0, NM1	8	L = 0,5 μm ; W = 4,0 μm
PM0, PM1	2	L = 0,5 μm ; W = 1,0 μm
NM2, NM3	3	L = 0,5 μm ; W = 1,5 μm
PM2	72	L = 0,5 μm ; W = 36,0 μm
NM4	48	L = 0,5 μm ; W = 24,0 μm

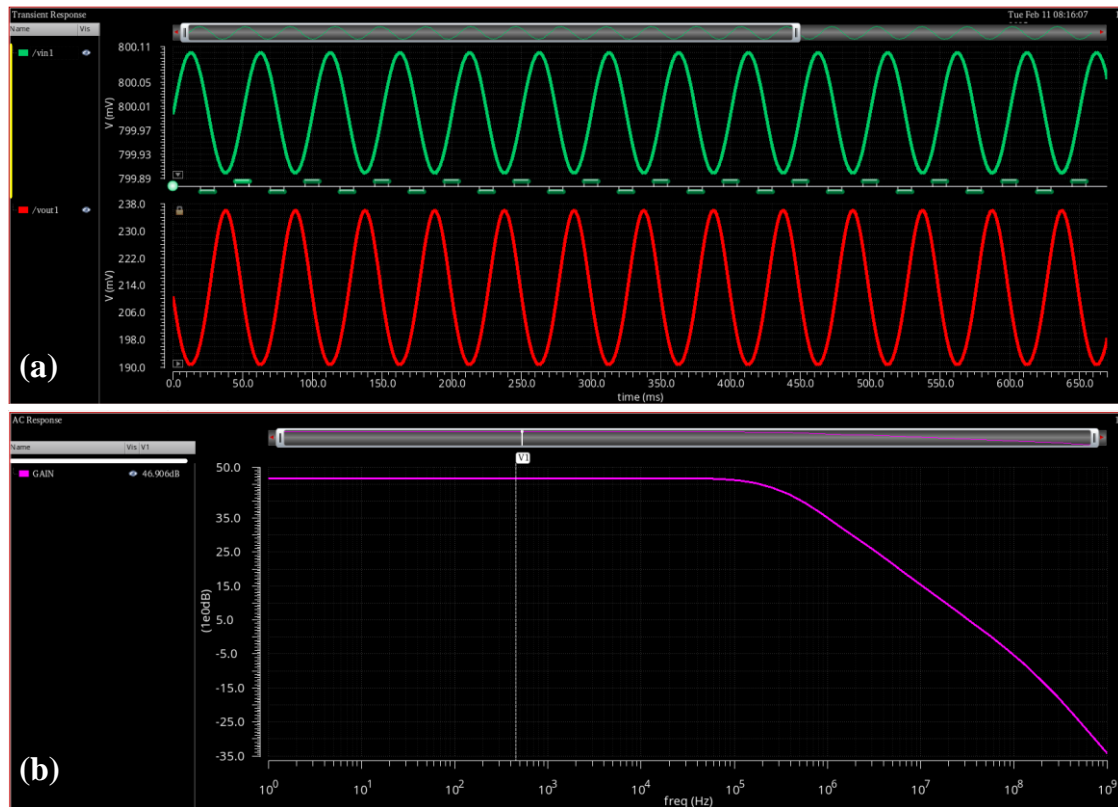
3. KẾT QUẢ MÔ PHỎNG THIẾT KẾ MẠCH OP-AMP

3.1. Tạo bảng kiểm tra và cài đặt chế độ mô phỏng

Để khảo sát thông số của mạch vừa thiết kế chúng tôi tạo các testbench với các điều kiện đầu vào phù hợp với mỗi loại thông số như ví dụ trong hình 4 là sơ đồ testbench mô phỏng dạng điện áp vào ra trên các cửa của Op-amp. Khi này dạng tín hiệu vào ra được thể hiện trong hình 5(a). Ở chế độ mô phỏng thời gian thực này có thể thấy ngay mạch hoạt động tốt, tín hiệu ra tỉ lệ tuyến tính với tín hiệu vào. Để thể hiện sự phụ thuộc vào tần số của hệ số khuếch đại cần thực hiện mô phỏng trong miền tần số với chế độ mô phỏng ac và nhận được kết quả như thể hiện trong hình 5(b).



Hình 4. Testbench của một khảo sát thông số mạch.

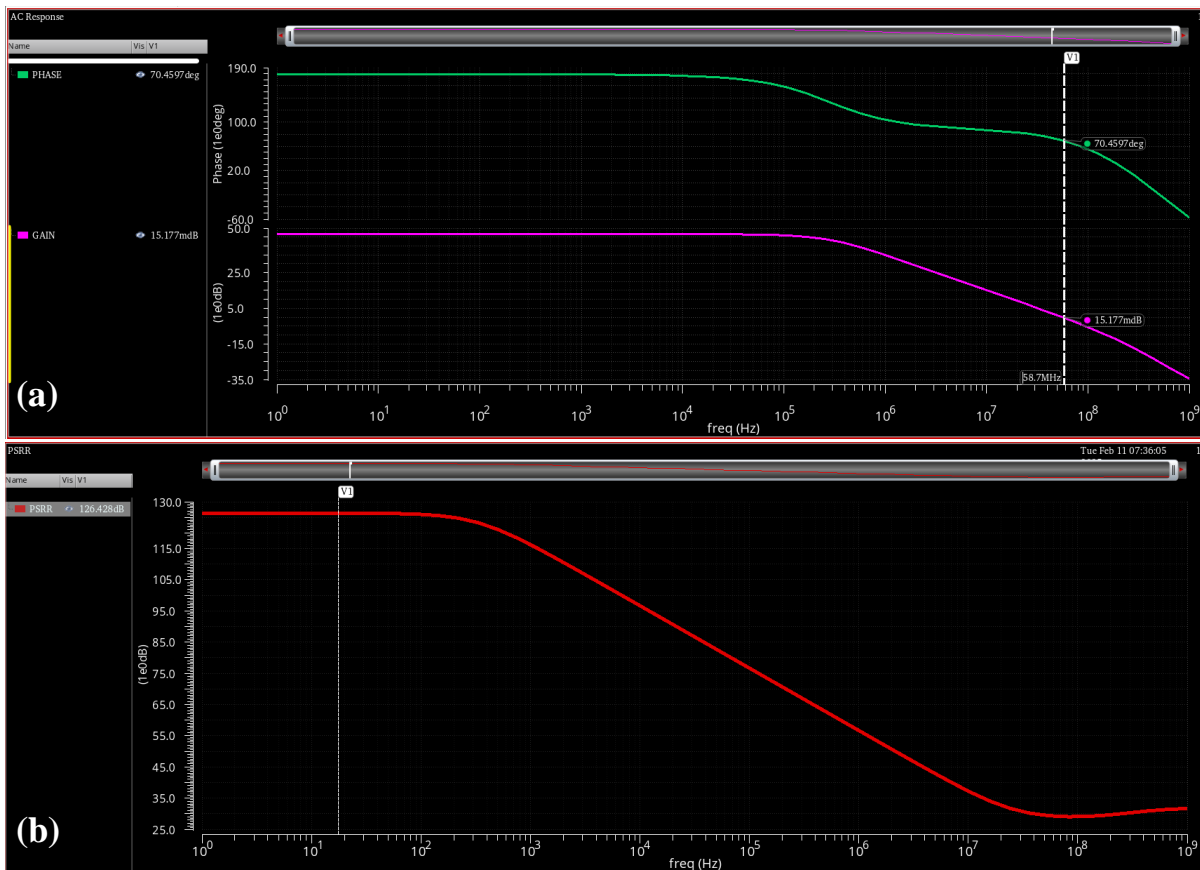


Hình 5. Dạng tín hiệu vào ra trên miền thời gian (a) và Đặc tuyến độ lợi theo tần số (b). Giá trị trong hình là dữ liệu trích xuất từ phần mềm, để đảm bảo tính chân thực của dữ liệu, chúng tôi không sửa nội dung này theo kiểu tiếng Việt.

Tương tự, một số kết quả mô phỏng được thể hiện trong hình 6 với đặc tuyến thể hiện hệ số loại trừ nhiễu nguồn PSRR (Power Supply Rejection Ratio) là hệ số loại bỏ nhiễu trên đường cấp nguồn. Testbench khi này cần được bổ sung thêm một nguồn nhiễu vào nguồn cấp một chiều. Trong trường hợp lý tưởng, PSRR của một Op-amp là vô cùng lớn, nghĩa là bất kỳ thay đổi nào về điện áp nguồn đều không ảnh hưởng đến đầu ra. Trên thực tế, PSRR có giá trị hữu hạn, nghĩa là Op-amp chỉ có thể loại bỏ một phần nhiễu từ nguồn và PSRR giảm khi tần số tăng lên. Ở dải tần số thấp, PSRR của Op-amp đề xuất đạt mức cao (khoảng 116 dB tại tần số 1 kHz). Điều này cho thấy Op-amp đề xuất có khả năng loại bỏ nhiễu rất tốt ở tần số thấp; nghĩa là rất phù hợp với ứng dụng thu thập năng lượng bước chân với tín hiệu theo nhịp do việc đi hay chạy bộ tạo ra tần số chỉ dưới 1 kHz [1,2].

3.2. So sánh với các nghiên cứu khác

Với mục tiêu thiết kế Op-amp được ứng dụng trong lĩnh vực công suất thấp, tần số đầu vào thấp, độ bất định cao như lĩnh vực thu thập năng lượng và điện tử y sinh, chúng tôi đã thực hiện các thiết kế với các loại MOSFET MOS2v và MOS1v trong thư viện gpdk045. Chúng tôi đã thu được kết quả như thể hiện trong bảng 2 cùng các kết quả nghiên cứu khác cũng sử dụng gpdk045.



Hình 6. Đặc tuyến biên độ-pha trên miền tần số để xác định lệch pha (a) và đặc tuyến PSRR theo tần số (b). Giá trị trong hình là dữ liệu trích xuất từ phần mềm, để đảm bảo tính chân thực của dữ liệu, chúng tôi không sửa nội dung này theo kiểu tiếng Việt.

Bảng 2. Bảng giá trị các thông số của mạch Op-amp với các nghiên cứu khác nhau.

Thông số (đơn vị)	Emon[18]	Deepak[19]	Reddy[9]	Nghiên cứu này với mos2v	Nghiên cứu này với mos1v
Nguồn điện áp V_{DD} (V)	0,6	NA	1,8	1,6	1,1
Hệ số khuếch đại một chiều DC gain (dB)	NA	59,9	45	53	46,9
Lê pha Phase margin (deg)	NA	65,6	75	68	62,3
Tốc độ quay Slew rate (V/ μ s)	0,67	NA	20	25	23,7
Hệ số nén đồng pha CMRR (dB)	60	NA	NA	63	56,4
Công suất tiêu tán P_{diss} (mW)	NA	1,67	NA	1,5	0,84
Hệ số loại trừ nhiễu nguồn PSRR (dB)	60	NA	NA	85,5	126,4
Độ lợi băng thông GBW (MHz)	1,25	30	55	52	58,6

NA (Not Available): dữ liệu không được đề cập.

Kết quả trong bảng 2 chỉ ra rằng kết quả nghiên cứu của chúng tôi có thể so sánh với các nghiên cứu trước đó ở nhiều các thông số. Cụ thể là với việc sử dụng nmos2v và pmos2v, Op-amp chúng tôi thiết kế có giá trị lê pha là 68 deg, cao hơn giá trị ổn định yêu cầu là 60 deg của hệ thống thông thường [3], thấp hơn so với nghiên cứu của Reddy [9]. Bên cạnh đó, tốc độ quay cao hơn đáng kể các nghiên cứu khác, lên tới 25 μ V/s, thể hiện tính đáp ứng nhanh của mạch. Giá trị hệ số nén đồng pha CMRR (Common-Mode Rejection Ratio) của mạch cũng đạt mức cao là 63 dB, cho thấy khả năng loại bỏ nhiễu đồng pha của mạch tốt.

Với thiết kế sử dụng nmos1v và pmos1v, Op-amp chúng tôi thiết kế đạt được các giá trị vượt trội ở mức tiêu thụ công suất, hệ số PSRR và độ lợi băng thông GBW lần lượt là 0,84 mW; 126,4 dB và 58,6 MHz. Với các thông số khác, nghiên cứu của Emon và cộng sự [18] đạt giá trị sử dụng nguồn một chiều thấp nhất là 0,6 V và nghiên cứu của Deepak cùng cộng sự [19] có độ lợi một chiều cao nhất là gần 60 dB.

4. KẾT LUẬN

Những nghiên cứu về thiết kế IC công suất thấp cho lĩnh vực thu thập năng lượng, IoT và thiết bị đeo y tế là rất cần thiết. Trên cơ sở lý thuyết sử dụng cấu hình đơn giản, chúng tôi đã khảo sát thư viện gpdk045 để lựa chọn loại MOSFET hợp lý và kết hợp với chương trình mô phỏng để xác định kích thước của các transistor nhằm đạt được các thông số phù hợp với ứng

dụng dự kiến. Thiết kế Op-amp với nmos1v và pmos1v đạt được giá trị công suất thấp hơn các nghiên cứu trước đó rất nhiều trong khi mức loại bỏ nhiễu nguồn PSRR lại rất cao ở khu vực tần số thấp, các giá trị tương ứng là 0,84 mW và 126,4 dB. Với các giá trị đạt được này, Op-amp có thể được sử dụng trong các mạch cảm biến tích cực để thu thập năng lượng bước chân hay thiết bị đeo y tế như giám sát nhịp tim.

LỜI CẢM ƠN

Nghiên cứu này được tài trợ bởi Trường Đại học Giao thông vận tải trong đề tài mã số T2024-DT-010. Phần mềm được sự hỗ trợ bởi Trung tâm sáng tạo đổi mới quốc gia – NIC thuộc Bộ Kế hoạch đầu tư trong chương trình cấp bản quyền sử dụng phần mềm Cadence Virtuoso cho Trường Đại học Giao thông vận tải.

TÀI LIỆU THAM KHẢO

- [1]. C. Covaci, A. Gontean, Piezoelectric energy harvesting solutions: A review, *Sensors*, 20 (2020) 3512. <https://doi.org/10.3390/s20123512>
- [2]. M. Gholikhani, H. Roshani, S. Dessouky, A. T. Papagiannakis, A critical review of roadway energy harvesting technologies, *Applied Energy*, 261 (2020) 114388. <https://doi.org/10.1016/j.apenergy.2019.114388>
- [3]. R. Jacob Baker, *CMOS: circuit design, layout, and simulation*, fourth ed., John Wiley & Sons, 2019.
- [4]. Nguyen-Van Q, Pham-Nguyen L, Han HD, Le HP, Efficient GaN-based hybrid DC-DC converter with simple and low-cost bootstrap gate drivers for LED lighting applications, *AEU-International Journal of Electronics and Communications*, 155 (2022) 154330. <https://doi.org/10.1016/j.aeue.2022.154330>
- [5]. Tran-Dinh T, Pham HM, Pham-Nguyen L, Lee SG, Le HP, Power management IC with a three-phase cold self-start for thermoelectric generators, *IEEE Transactions on Circuits and Systems I*, 68 (2020) 103-113. <https://doi.org/10.1109/TCSI.2020.3023252>
- [6]. Nguyen-Van, Hao, Minh Nguyen, Loan Pham-Nguyen, An adaptive DC-DC converter for loading circuit of li-ion battery charger, In 2017 7th International Conference on Integrated Circuits, Design, and Verification (ICDV), (2017) 100-103. <https://doi.org/10.1109/ICDV.2017.8188647>
- [7]. H. Qiao, Design of a CMOS Two-stage Fully Differential Operation Amplifier, In *Journal of Physics: Conference Series*, 1449 (2020) 012084. <https://doi.org/10.1088/1742-6596/1449/1/012084>
- [8]. R. Ranjan, Design of low power operational amplifier and digital latch circuits using power efficient charge steering technique, In 2016 IEEE International Conference on Recent Trends in Electronics, Information & Communication Technology, (2016) 316-321. <https://doi.org/10.1109/RTEICT.2016.7807834>
- [9]. R. B. Reddy, S. K. Gowda, Design and Analysis of CMOS Two Stage OP-AMP in 180nm and 45nm Technology, *International Journal of Engineering Research & Technology*, 4 (2015) 1100-1103.
- [10]. K. Kukreti, A. Joshi, T. Dhiman, Analysis of Operational Amplifier Layout in 45 nm Technology Using Matching Techniques, *Lecture Notes in Networks and Systems*, 516 (2023). https://doi.org/10.1007/978-981-19-5221-0_46
- [11]. A. Haseeb, M. Edla, M. Ucgul, F. Santoso, M. Deguchi, A voltage doubler boost converter circuit for piezoelectric energy harvesting systems, *Energies*, 16 (2023) 1631. <https://doi.org/10.3390/en16041631>

- [12]. https://www.cadence.com/en_US/home/training.html#, truy cập ngày 21/01/2025.
- [13]. [Synopsys | EDA Tools, Semiconductor IP & Systems Verification](#), truy cập ngày 21/01/2025.
- [14]. [EDA Software, Hardware & Tools | Siemens Software](#), truy cập ngày 21/01/2025.
- [15]. A.Q. Khan, H. Yadav, P. Bhulania, Miller compensated op-amp design for high PSRR & high gain of 72dB in 180-nm CMOS process, In 2021 8th International Conference on Signal Processing and Integrated Networks, (2021) 818-823. <https://doi.org/10.1109/SPIN52536.2021.9565966>
- [16]. [LTspice Information Center | Analog Devices](#), truy cập ngày 21/01/2025.
- [17]. [QSPICE® Simulator - Qorvo](#), truy cập ngày 21/01/2025.
- [18]. M.Z.A. Emon, K.M. Salim, M.I.B. Chowdhury, Design and Analysis of a High-Gain, Low-Noise, and Low-Power Analog Front End for Electrocardiogram Acquisition in 45 nm Technology Using g_m/I_D Method, Electronics, 13(2024) 2190. <https://doi.org/10.3390/electronics13112190>
- [19]. Deepak Prasad et al., Design of 30 MHz CMOS Operational Amplifier, Advances in Intelligent Systems and Computing, 479 (2017). https://doi.org/10.1007/978-981-10-1708-7_59